

Docket No.: P-0299

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Woo Sik KIM and Dae Weon KIM :
Serial No.: New U.S. Patent Application :
Filed: December 26, 2001 :
For: DIGITAL LINEARIZER OF HIGH POWER AMPLIFIER AND
DIGITAL LINEARIZING METHOD

1c858 U.S. PTO
10/025887
12/26/01

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

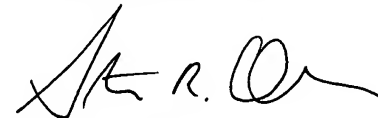
Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. 2000-81788 filed December 26, 2000

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP



Daniel Y.J. Kim
Registration No. 36,186
Steven R. Olsen
Registration No. 48,174

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440 DYK/SRO:jgm
Date: December 26, 2001



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2000년 제 81788 호
Application Number PATENT-2000-0081788

출원 년 월 일 : 2000년 12월 26일
Date of Application DEC 26, 2000

출원 인 : 엘지전자주식회사
Applicant(s) LG ELECTRONICS INC.



2001 년 11 월 09 일

특 허 청
COMMISSIONER



1020000081788

출력 일자: 2001/11/12

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2000.12.26
【국제특허분류】	H03F 001/00
【발명의 명칭】	알에프 전력증폭기의 디지털 선형화장치
【발명의 영문명칭】	DIGITAL LINEAR APPARATUS FOR RF POWER AMPLIFIER
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	2000-027763-7
【발명자】	
【성명의 국문표기】	김대원
【성명의 영문표기】	KIM,Dae Weon
【주민등록번호】	700131-1030723
【우편번호】	435-040
【주소】	경기도 군포시 산본동 1145-14 을지한진아파트 612 동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	김우식
【성명의 영문표기】	KIM,Woo Sik
【주민등록번호】	540928-1017912
【우편번호】	134-757
【주소】	서울특별시 강동구 고덕2동 주공아파트 210동 106 호
【국적】	KR

1020000081788

출력 일자: 2001/11/12

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
박장원 (인)

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 알에프 전력증폭기의 디지털 선형화장치에 관한 것으로, 디지털 피드 포워드 루프를 이용하여 증폭된 신호에서 효과적으로 진폭 및 위상왜곡을 제거하도록 한 것이다. 이를 위하여 본 발명은 방송신호를 입력받아, 그 방송신호의 일부를 제1 믹서에 인가하고, 그 방송신호의 일부는 제2 분배기에 인가하는 제1 분배기와; 상기 제1 분배기에서 출력되는 방송신호를 알에프신호로 변환하는 제1 믹서와; 상기 제1 믹서의 알에프신호를 증폭하여, 그 증폭신호의 일부는 제2 방향성결합기에 인가하고, 일부는 제2 믹서에 인가하는 제1 방향성결합기와; 상기 제1 방향성결합기의 증폭신호를 주파수 하향변환하는 제2 믹서와; 상기 제1 분배기에서 출력되는 방송신호의 일부를 이득조절기에 인가하고, 일부는 상관계수에 인가하는 제2 분배기와; 상기 제2 분배기의 출력신호와 제3 분배기의 출력신호를 비교하여 그에 따른 I/Q계수조정신호를 출력하는 상관계수와; 상기 계수조정신호에 의해, 상기 제2 분배기의 출력신호의 이득을 조절하는 이득조절기와; 상기 이득조절기의 출력신호와 상기 제2 믹서의 출력신호를 서로 감산하는 감산기와; 상기 감산기에서 출력되는 감산신호를 입력받아, 일부는 상기 상관계수에 인가하고, 일부는 소정 증폭하여 제2 방향성결합기에 인가하는 제3 분배기와; 상기 제3 분배기의 출력신호와 상기 제1 방향성결합기의 출력신호를 결합하는 제2 방향성결합기를 포함하여 구성한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

알에프 전력증폭기의 디지털 선형화장치{DIGITAL LINEAR APPARATUS FOR RF POWER AMPLIFIER}

【도면의 간단한 설명】

도1은 종래 알에프 전력증폭기의 디지털 선형화장치에 대한 구성을 보인 회로도.

도2는 본 발명 알에프 전력증폭기의 디지털 선형화장치에 대한 구성을 보인 블록도.

도3은 도2에 있어서, 이득조절기의 구성을 보인 블록도.

도4는 도2에 있어서, 상관계의 구성을 보인 블록도.

*****도면의 주요부분에 대한 부호의 설명*****

201,208,219:분배기 202,220:디지털/아나로그변환기

203,210,221:믹서 204:알에프증폭기

205,207:방향성결합기 206,212,213,216,218:지연부

209:로컬신호생성부 211:아나로그/디지털변환기

214:상관계 215:이득조절기

222:에러증폭기

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 알에프 전력증폭기의 디지털 선형화장치에 관한 것으로, 특히 디지털 방식으로 왜곡신호를 정확하게 추출하여 그 왜곡신호를 피드 포워드 기법을 사용하여 선형화시키도록 한 알에프 전력증폭기의 디지털 선형화장치에 관한 것이다.
- <13> 알에프 전력증폭기는 본질적으로 비선형 장치인데, 그 알에프 전력증폭기의 선형화를 위하여 그 전력증폭기를 크로 고전력장치로 설계하고 나서 그 증폭기를 증폭기의 정격 출력신호에 대하여 작은 퍼센트만 저전력 레벨에서 동작시키면 그 알에프 전력증폭기의 전달함수는 비교적 선형성을 가지게 되는데, 이와같은 종래 기술을 첨부한 도면을 참조하여 설명한다.
- <14> 도1은 종래 알에프 전력증폭기의 구성을 보인 회로도로서, 이에 도시된 바와같이 입력신호를 적정 레벨로 증폭하는 프리증폭기(115)와; 상기 프리증폭기(115)에서 출력되는 증폭신호의 일부를 커플링하여 제1 지연부(106)에 인가하고, 일부는 메인증폭부(102)에 인가하는 제1 방향성 결합기(101)와; 상기 제1 방향성 결합기(101)를 통해 입력된 신호를 소정 레벨로 증폭하는 메인증폭부(102)와; 상기 제1 방향성 결합기(101)를 통해 입력된 신호를 소정 시간 지연하는 제1 지연부(106)와; 상기 메인증폭부(102)에서 출력되는 증폭신호의 일부를 커플링하여 제3 방향성 결합기(107)에 인가하고, 일부는 제2 지연부(109)에 인가하는 제2 방향성 결합기(108)와; 상기 제2 방향성 결합기(108)를 통해 입력된 신호를 소정시간 지

연하는 제2 지연부(109)와; 상기 제1 지연부(106)의 출력신호와 상기 제2 방향성 결합기 (108)를 통해 입력된 신호를 결합하여 고조파신호만 출력하는 제3 방향성 결합기 (107)와; 상기 제3 방향성 결합기(107)에서 출력되는 고조파신호를 소정 레벨 증폭하는 에러증폭부(110)와; 상기 제2 지연부(109)의 출력신호와 상기 에러증폭부 (110)의 증폭신호를 결합하여 고조파성분이 제거된 신호를 출력하는 제4 방향성결합기(114)로 구성된다.

<15> 상기 메인증폭부(102)는 입력신호를 적절한 감쇄계수로 감쇄시키는 가변감쇄기(103)와, 상기 가변감쇄기(103)의 출력신호를 입력받아 그 출력신호의 위상을 적절하게 가변하는 가변위상변위기(104)와, 상기 가변위상변위기(104)의 출력신호를 증폭하는 메인증폭기(105)로 구성된다.

<16> 상기 에러증폭부(110)는 입력신호를 적절한 감쇄계수로 감쇄시키는 가변감쇄기(111)와, 상기 가변감쇄기(111)의 출력신호를 입력받아 그 출력신호의 위상을 적절하게 가변하는 가변위상변위기(112)와, 상기 가변위상변위기(112)의 출력신호를 증폭하는 에러증폭기(113)로 구성되며, 이와 같이 구성된 종래 장치의 동작을 설명한다.

<17> 먼저, 프리증폭기(115)는 입력신호를 적정 레벨로 증폭하여 이를 제1 방향성결합기(101)에 인가하고, 이에 따라 상기 제1 방향성결합기(101)는 상기 프리증폭기(115)에서 출력되는 증폭신호의 일부를 커플링하여 제1 지연부(106)에 인가하고, 일부는 메인증폭부(102)에 인가한다.

<18> 그러면, 상기 메인증폭부(102)는 상기 제1 방향성 결합기 (101)를 통해 입력된
신

호를 소정 레벨로 증폭하는데, 즉 가변감쇄기(103)는 입력신호를 적절한 감쇄계수로 감쇄시키고, 가변위상변위기(104)는 상기 가변감쇄기(103)의 출력신호를 입력받아 그 출력신호의 위상을 적절하게 가변한후 이를 메인증폭기(105)에서 증폭한다.

<19> 여기서, 상기 메인증폭부(102)는 원래의 신호가 증폭되면서 많은 고조파성분들이 발생하게 된다.

<20> 이때, 제1 지연부(106)는 상기 제1 방향성 결합기(101)를 통해 입력된 신호를 소정 시간 지연한다.

<21> 그리고, 제2 방향성결합기(108)는 상기 메인증폭부(102)에서 출력되는 증폭신호의 일부를 커플링하여 제3 방향성 결합기(107)에 인가하고, 일부는 제2 지연부(109)에 인가하며, 이에 따라 상기 제2 지연부(109)는 상기 제2 방향성 결합기(108)를 통해 입력된 신호를 소정시간 지연한다.

<22> 이때, 제3 방향성결합기(107)는 상기 제1 지연부(106)의 출력신호와 상기 제2 방향성 결합기(108)를 통해 입력된 신호를 결합하여 고조파신호만 출력하는데, 즉 제1 지연부를 통과한 신호와 상기 제2 방향성결합기(108)을 통해 입력된 신호는 정확히 크기는 같지 않고 위상만 정반대인 신호이다.

<23> 이후 에러증폭부(110)는 상기 제3 방향성 결합기(107)에서 출력되는 고조파신호를 소정 레벨 증폭하는데, 즉 가변감쇄기(111)가 입력신호를 적절한 감쇄계수로 감쇄시키고, 그 감쇄신호의 위상을 가변위상변위기(112)에서 적절하게 가변한후 에러증폭기(113)를 통해 증폭하여 출력한다.

<24> 여기서, 상기 에러증폭기(113)는 제3 방향성결합기(107)에서 입력된 신호의 크기만을 증폭하고, 고조파성분을 발생하지 않도록 설계되어진다.

<25> 이에 따라, 제4 방향성결합기(114)는 상기 제2 지연부(109)의 고조파 성분이 많은 출력신호와 상기 에러증폭부(110)의 증폭신호를 결합하여 고조파성분이 제거된 신호를 출력하는데, 즉 상기 고조파성분들의 위상차가 180도가 되어 상쇄되므로 원래의 입력신호와 유사한 신호만이 출력되게 된다.

【발명이 이루고자 하는 기술적 과제】

<26> 그러나, 상기와 같이 동작하는 종래장치는 시간지연소자의 시간지연이 각각의 메인앰프와 에러앰프를 통과하면서 발생하는 지연과 정확히 일치시키지 못하여 하모닉 성분을 제거하지 못하는 문제점이 있다.

<27> 또한, 가변감쇄기와 가변위상변위기를 정확하게 통제하지 못하여 정확한 위상을 얻지 못하는 문제점이 있다.

<28> 또한, 시간지연소자에서의 손실로 인하여 증폭기의 효율이 저하되고 아울러 증폭기의 크기가 커지는 문제점이 있다.

<29> 따라서, 상기와 같은 문제점을 감안하여 창안한 본 발명은 디지털 피드 포워드 루프를 이용하여 증폭된 신호에서 효과적으로 진폭 및 위상왜곡을 제거하도록 한 알에프 전력증폭기의 디지털 선형화장치를 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<30> 상기와 같은 목적을 달성하기 위한 본 발명은 방송신호를 입력받아, 그 방송신호의 일부를 제1 믹서에 인가하고, 그 방송신호의 일부는 제2 분배기에 인가하는

제1 분배기와; 상기 제1 분배기에서 출력되는 방송신호를 알에프신호로 변환하는 제1 믹서와; 상기 제1 믹서의 알에프신호를 증폭하여, 그 증폭신호의 일부는 제2 방향성결합기에 인가하고, 일부는 제2 믹서에 인가하는 제1 방향성결합기와; 상기 제1 방향성 결합기의 증폭신호를 주파수 하향변환하는 제2 믹서와; 상기 제1 분배기에서 출력되는 방송신호의 일부를 이득조절기에 인가하고, 일부는 상관기에 인가하는 제2 분배기와; 상기 제2 분배기의 출력신호와 제3 분배기의 출력신호를 비교하여 그에 따른 I/Q계수조정신호를 출력하는 상관기와; 상기 계수조정신호에 의해, 상기 제2 분배기의 출력신호의 이득을 조절하는 이득조절기와; 상기 이득조절기의 출력신호와 상기 제2 믹서의 출력신호를 서로 감산하는 감산기와; 상기 감산기에서 출력되는 감산신호를 입력받아, 일부는 상기 상관기에 인가하고, 일부는 소정 증폭하여 제2 방향성결합기에 인가하는 제3 분배기와; 상기 제3 분배기의 출력신호와 상기 제1 방향성결합기의 출력신호를 결합하는 제2 방향성 결합기를 포함하는 것을 특징으로 한다.

<31> 이하, 본 발명에 의한 알에프 전력증폭기의 디지털 선형화장치에 대한 작용 및 효과를 첨부한 도면을 참조하여 상세히 설명한다.

<32> 도2는 본 발명 알에프 전력증폭기의 디지털 선형화장치에 대한 구성을 보인 블록도로서, 이에 도시한 바와같이 디지털 신호를 입력받아, 그 디지털신호의 일부를 제1 디지털/아날로그변환기(202)에 인가하고, 일부는 제2 분배기(208)에 인가하는 제1 분배기(201)와; 상기 제1 분배기(201)에서 출력되는 디지털신호를 아날로그신호로 변환하는 제1 디지털/아날로그변환기(202)와; 로컬신호를 발생하는 로컬신호생성부(209)와; 상기 제1 디지털/아날로그변환기(202)에서 출력되는 디

지탈신호를 입력받아 이를 로컬신호를 기준으로 주파수를 상향변환하여 그에 따른 알에프신호를 출력하는 제1 믹서(203)와; 상기 제1 믹서(203)의 알에프신호를 소정 레벨로 증폭하는 알에프증폭기 (204)와; 상기 알에프증폭기(204)에서 출력되는 증폭신호를 입력받아, 그 증폭신호의 일부는 제3 지연부(206)에 인가하고, 일부는 제2 믹서 (210)에 인가하는 제1 방향성결합기(205)와; 상기 제1 방향성결합기(205)에서 출력되는 증폭신호를 입력받아 이를 로컬신호를 기준으로 주파수를 하향변환하여 출력하는 제2 믹서(210)와; 상기 제2 믹서(210)의 출력신호를 디지털 신호로 변환하는 아날로그/디지털변환기(211)와; 상기 제1 분배기(201)에서 출력되는 디지털신호를 입력받아, 그 디지털신호의 일부를 제1 지연부(212)에 인가하고, 일부는 제2 지연부(213)에 인가하는 제2 분배기(208)와; 상기 제2 분배기(208)의 출력신호를 제2 지연부(213)를 통해 입력받아 이를 제5 지연부(218)의 지연신호와 비교하여 그에 따른 I/Q계수조정신호를 출력하는 상관기(214)와; 상기 제2 분배기(208)의 출력신호를 제1 지연부(212)를 통해 입력받아 이를 상기 I/Q계수조정신호에 의해 이득을 조절하는 이득조절기(215)와; 상기 이득조절기(215)의 출력신호를 제4 지연부(216)를 통해 입력받아 이를 상기 아날로그/디지털변환기(211)의 출력신호와 감산하는 감산기(217)와; 상기 감산기(217)에서 출력되는 감산신호를 입력받아, 일부는 상기 제5 지연부(218)에 인가하고, 일부는 제2 디지털/아날로그변환기(220)에 인가하는 제3 분배기(219)와; 상기 제3 분배기(219)의 출력신호를 아날로그신호로 변환하는 제2 디지털/아날로그변환기(220)와; 상기 제2 디지털/아날로그변환기(220)의 출력신호를 주파수 상향 변환하는 제3 믹서(221)와; 상기 제3 믹서(221)의 출력신호를

증폭하는 에러증폭기(222)와; 상기 제3 지연부(206)의 출력신호와 상기 에러증폭기(222)의 출력신호를 결합하는 제2 방향성 결합기(207)로 구성한다.

<33> 도3은 상기 이득조절기(215)의 구성을 보인 블록도로서, 이에 도시한 바와같이 디지털신호를 입력받아 아날로그신호로 변환하는 디지털/아날로그변환기(301)와; 상기 디지털/아날로그변환기(301)의 아날로그신호를 I신호와 Q신호의 위상차가 90도 되도록 하여, 상기 I신호는 제1 승산기(304)에 인가하고, 상기 Q신호는 제2 승산기(303)에 인가하는 하이브리드분배기(302)와; 상기 하이브리드분배기(302)에서 출력되는 I신호를 I계수조정신호와 승산하는 제1 승산기(304)와; 상기 하이브리드분배기(302)에서 출력되는 Q신호를 Q계수조정신호와 승산하는 제2 승산기(303)와; 상기 제1, 제2 승산기(303), (304)의 출력신호를 결합하여 하나의 크기와 위상을 가진신호로 출력하는 결합기(305)와; 상기 결합기(305)에서 출력되는 신호를 디지털신호로 변환하여 출력하는 아날로그/디지털변환기(306)로 구성한다.

<34> 도4는 상기 상관기(214)의 구성을 보인 블록도로서, 이에 도시한 바와같이 원래의 디지털신호를 입력받아 아날로그신호로 변환하는 제1 디지털/아날로그변환기(401)와; 상기 제1 디지털/아날로그변환기(401)의 아날로그신호를 I신호와 Q신호의 위상차가 90도 되도록 하여, 상기 I신호는 제1 승산기(404)에 인가하고, 상기 Q신호는 제2 승산기(403)에 인가하는 하이브리드분배기(402)와; 왜곡성분의 디지털신호를 입력받아 아날로그신호로 변환하는 제2 디지털/아날로그변환기(405)와; 상기 제2 디지털/아날로그변환기(405)의 아날로그신호를 I신호와 Q신호의 위상차 및 크기가 동일하게 하도록 하여, 상기 I신호는 제1 승산기(404)에 인가하고, 상기 Q신호는

제2 승산기(403)에 인가하는 분배기(406)와; 상기 하이브리드분배기(402)와 분배기(406)에서 출력되는 1신호를 승산하는 제1 승산기(404)와; 상기 하이브리드분배기(402)와 분배기(406)에서 출력되는 Q신호를 승산하는 제2 승산기(403)와; 상기 제1 승산기(404)의 승산신호로 크기를 계산하여 이를 I계수조정신호로 출력하는 제1 크기계산부(407)와; 상기 제2 승산기(403)의 승산신호로 크기를 계산하여 이를 Q계수조정신호로 출력하는 제2 크기계산부(408)로 구성하며, 이와같이 구성한 본 발명의 동작을 설명한다.

<35> 먼저, 제1 분배기(201)는 디지털 신호를 입력받아, 그 디지털신호의 일부를 제1 디지털/아날로그변환기(202)에 인가하고, 일부는 제2 분배기(208)에 인가하고, 이에 따라 제1 디지털/아날로그변환기(202)는 상기 제1 분배기(201)에서 출력되는 디지털신호를 아날로그신호로 변환한다.

<36> 이때, 제1 믹서(203)는 상기 제1 디지털/아날로그변환기(202)에서 출력되는 디지털신호를 입력받아 이를 로컬신호를 기준으로 주파수를 상향변환하여 그에 따른 알에프신호를 출력하고, 알에프증폭기(204)는 상기 제1 믹서(203)의 알에프신호를 소정 레벨로 증폭한다.

<37> 여기서, 제1 방향성결합기(205)는 상기 알에프증폭기(204)에서 출력되는 증폭신호를 입력받아, 그 증폭신호의 일부는 제3 지연부(206)에 인가하고, 일부는 제2 믹서(210)에 인가하고, 이에 따라 상기 제2 믹서(210)는 상기 제1 방향성결합기(205)에서 출력되는 증폭신호를 입력받아 이를 로컬신호를 기준으로 주파수를 하향변환하여 출력한다.

- <38> 이후, 아나로그/디지털변환기(211)는 상기 제2 믹서(210)의 출력신호를 디지털 신호로 변환한다.
- <39> 한편, 제2 분배기(208)는 상기 제1 분배기(201)에서 출력되는 디지털신호를 입력 받아, 그 디지털신호의 일부를 제1 지연부(212)에 인가하고, 일부는 제2 지연부(213)에 인가한다.
- <40> 이에 따라, 이득조절기(215)는 상기 제2분배기(208)의 출력신호를 제1 지연부(212)를 통해 입력받아 이를 상기 I/Q계수조정신호에 의해 이득을 조절한후 이를 제4 지연부에서 다시 시간지연을 맞춘다. 춘뒤, 이 신호를 감산기(219)에서 상기 아나로그/디지털변환기의 디지털신호와 감산하여 출력한다.
- <41> 여기서, 상기 이득조절기(215)의 상세한 동작을 도3을 참조하여 설명하면, 우선 디지털/아나로그변환기(301)는 제1 지연부(212)의 디지털신호를 입력받아 아나로그신호로 변환하고, 하이브리드분배기(302)는 상기 디지털/아나로그변환기 (301)의 아나로그신호를 I신호와 Q신호의 위상차가 90도 되도록 하여, 상기 I신호는 제1 승산기(304)에 인가하고, 상기 Q신호는 제2 승산기(303)에 인가한다.
- <42> 그러면, 상기 제1 승산기(304)는 상기 하이브리드분배기(302)에서 출력되는 1신호를 I계수조정신호와 승산하고, 제2 승산기(303)는 상기 하이브리드분배기(302)에서 출력되는 Q신호를 Q계수조정신호와 승산한다.
- <43> 이후, 결합기(305)는 상기 제1, 제2 승산기(303), (304)의 출력신호를 결합하여 하나의 크기와 위상을 가진신호로 출력하고, 이득조절기(215)의 아나로그/디지털변환기(306)는 상기 결합기(305)에서 출력되는 신호를 디지털신호로 변환하여

제4 지연부(216)를 통해 상기 감산기(217)에 인가하고, 그 감산기(217)에서 왜곡된 성분을 추출한다.

<44> 즉, 상기 감산기(219)의 출력신호에는 원래의 디지털성분이 아닌 왜곡된 성분만이 존재하게 된다.

<45> 이후, 제3 분배기는 상기 감산기(217)에서 출력되는 감산신호를 입력받아, 일부는 상기 제5 지연부(218)에 인가하고, 일부는 제2 디지털/아날로그변환기(220)에 인가한다.

<46> 이때, 상관계(214)는 상기 제2 분배기(208)의 출력신호를 제2 지연부(213)를 통해 입력받아 이를 제5 지연부(218)의 지연신호와 비교하여 그에 따른 I/Q계수조정신호로 상기 이득조절기(215)를 제어한다.

<47> 여기서, 상기 상관계(214)의 동작을 도4를 참조하여 상세히 설명하면, 상관계(214)내의 디지털/아날로그변환기(401)는 원래의 디지털신호를 입력받아 아날로그신호로 변환하고, 하이브리드분배기(402)는 상기 제1 디지털/아날로그변환기(401)의 아날로그신호를 I신호와 Q신호의 위상차가 90도 되도록 하여, 상기 I신호는 제1 승산기(404)에 인가하고, 상기 Q신호는 제2 승산기(403)에 인가한다.

<48> 이때, 디지털/아날로그변환기(405)는 제5 지연부(218)를 통해 왜곡성분의 디지털신호를 입력받아 아날로그신호로 변환하고, 분배기(406)는 상기 제2 디지털/아날로그변환기(405)의 아날로그신호를 I신호와 Q신호의 위상차 및 크기가 동일하게 하도록 하여, 상기 I신호는 제1 승산기(404)에 인가하고, 상기 Q신호는 제2 승산기(403)에 인가한다.

- <49> 이에 따라, 상기 제1 승산기(404)는 상기 하이브리드분배기(402)와 분배기 (406)에서 출력되는 1신호를 승산하고, 제2 승산기(403)는 상기 하이브리드분배기(402)와 분배기(406)에서 출력되는 Q신호를 승산한다.
- <50> 이때, 상기 제1, 제2 승산기(404), (403)의 출력이 '0'이 되는 상태가 가장 바람직한데, 왜냐하면 한개의 신호는 원래의 메인만을 그대로 간직하고 있으며 다른 한개의 신호는 왜곡된 신호만을 가지고 있기 때문이다.
- <51> 이후, 제1 크기계산부(407)는 상기 제1 승산기(404)의 승산신호로 크기를 계산하여 이를 I계수조정신호로 출력하고, 제2 크기계산부는 상기 제2 승산기(403)의 승산신호로 크기를 계산하여 이를 Q계수조정신호로 출력한다.
- <52> 즉, 상관계기(214)는 상기와 같이 동작하여 이득을 제어하기 위한 I/Q계수조정신호를 이득조절부(215)에 인가하고, 이득조절기(215)는 상기 I/Q계수조정신호와 제1 지연부(212)의 출력을 입력으로 하여 감산기(217)에서 항상 최적의 상태로 감산되도록 반복하여 값을 조정한다.
- <53> 한편, 제2 디지털/아날로그변환기(220)는 상기 제3 분배기(219)의 출력신호를 아날로그신호로 변환한후, 이를 제3 믹서(221)에서 주파수 상향 변환하고, 에러 증폭기(222)는 상기 제3 믹서(221)의 출력신호를 증폭하는데, 신호성분중의 왜곡된 성분만을 증폭하게 된다.
- <54> 이후, 제2 방향성결합기(207)는 상기 제3 지연부(206)의 출력신호와 상기 에러 증폭기(222)의 출력신호를 결합하여 왜곡성분이 제거된 신호를 출력한다.

【발명의 효과】

<55> 이상에서 상세히 설명한 바와같이 본 발명은, 비선형 특성을 가지는 고주파 전력증폭기의 특성을 현재의 디지털통신이 요구하는 선형적인 특성을 가지도록 합과 아울러 입력신호가 디지털화된 신호이므로 정확한 감산 및 보정이 가능하고, 또한 왜곡이 발생하는 부분과 그 왜곡을 제거하는 부분이 낮은 주파수에서 일어나므로 통제가 용이하며, 또한, 변조된 신호에 대하여 피드 포워드 방식을 사용하여 왜곡현상을 줄여줌으로써 시스템의 성능을 향상시키며, 또한 선형화의 하드웨어 구성을 간결하게 구현하여 비용을 절감하는 효과가 있다.

【특허청구범위】

【청구항 1】

방송신호를 입력받아, 그 방송신호의 일부를 제1 믹서에 인가하고, 그 방송신호의 일부는 제2 분배기에 인가하는 제1 분배기와; 상기 제1 분배기에서 출력되는 방송신호를 알에프신호로 변환하는 제1 믹서와; 상기 제1 믹서의 알에프신호를 증폭하여, 그 증폭신호의 일부는 제2 방향성결합기에 인가하고, 일부는 제2 믹서에 인가하는 제1 방향성결합기와; 상기 제1 방향성 결합기의 증폭신호를 주파수 하향변환하는 제2 믹서와; 상기 제1 분배기에서 출력되는 방송신호의 일부를 이득조절기에 인가하고, 일부는 상관계기에 인가하는 제2 분배기와; 상기 제2 분배기의 출력신호와 제3 분배기의 출력신호를 비교하여 그에 따른 I/Q계수조정신호를 출력하는 상관계기와; 상기 계수조정신호에 의해, 상기 제2 분배기의 출력신호의 이득을 조절하는 이득조절기와; 상기 이득조절기의 출력신호와 상기 제2 믹서의 출력신호를 서로 감산하는 감산기와; 상기 감산기에서 출력되는 감산신호를 입력받아, 일부는 상기 상관계기에 인가하고, 일부는 소정 증폭하여 제2 방향성결합기에 인가하는 제3 분배기와; 상기 제3 분배기의 출력신호와 상기 제1 방향성결합기의 출력신호를 결합하는 제2 방향성 결합기를 포함하는 것을 특징으로 하는 알에프 전력증폭기의 디지털 선형화장치.

【청구항 2】

제1 항에 있어서, 이득조절기는 디지털신호를 입력받아 아날로그신호로 변환하는 디지털/아날로그변환기와; 상기 디지털/아날로그변환기의 아날로그신호를 I신호와 Q신호의 위상차가 90도 되도록 하여, 상기 I신호는 제1 승산기에 인가하고,

상기 Q신호는 제2 승산기에 인가하는 하이브리드분배기와; 상기 하이브리드분배기에서 출력되는 1신호를 I계수조정신호와 승산하는 제1 승산기와; 상기 하이브리드분배기에서 출력되는 Q신호를 Q계수조정신호와 승산하는 제2 승산기와; 상기 제1, 제2 승산기의 출력신호를 결합하여 하나의 크기와 위상을 가진 신호로 출력하는 결합기와; 상기 결합기에서 출력되는 신호를 디지털신호로 변환하여 출력하는 아날로그/디지털변환기로 구성된 것을 특징으로 하는 알에프 전력증폭기의 디지털 선형화장치.

【청구항 3】

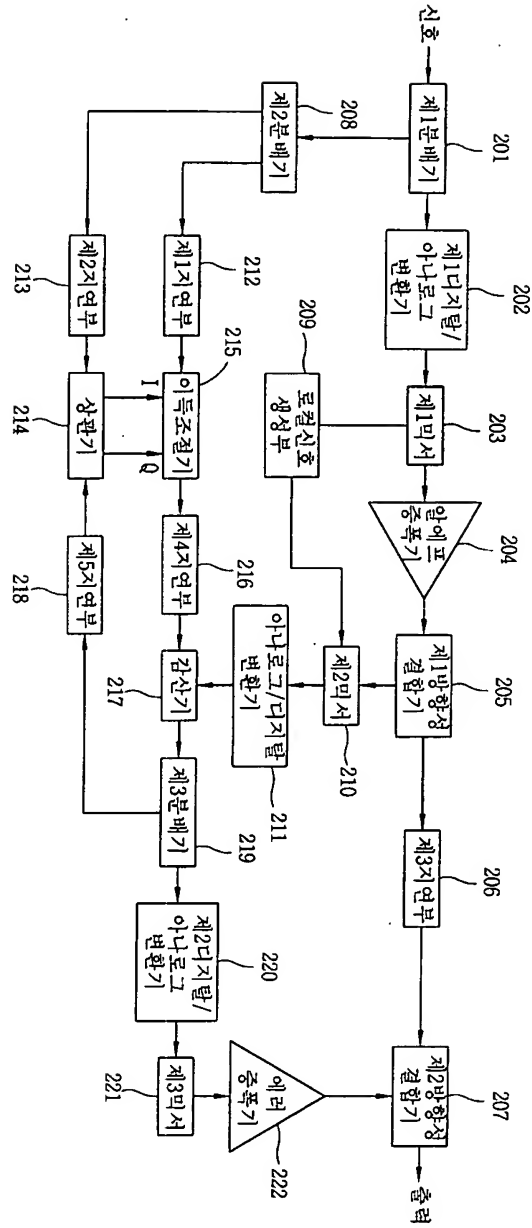
제1 항에 있어서, 상관계는 원래의 디지털신호를 입력받아 아날로그신호로 변환하는 제1 디지털/아날로그변환기와; 상기 제1 디지털/아날로그변환기의 아날로그신호를 I신호와 Q신호의 위상차가 90도 되도록 하여, 상기 I신호는 제1 승산기에 인가하고, 상기 Q신호는 제2 승산기에 인가하는 하이브리드분배기와; 왜곡성분의 디지털신호를 입력받아 아날로그신호로 변환하는 제2 디지털/아날로그변환기와; 상기 제2 디지털/아날로그변환기의 아날로그신호를 I신호와 Q신호의 위상차 및 크기가 동일하게 하도록 하여, 상기 I신호는 제1 승산기에 인가하고, 상기 Q신호는 제2 승산기에 인가하는 분배기와; 상기 하이브리드분배기와 분배기에서 출력되는 1신호를 승산하는 제1 승산기와; 상기 하이브리드분배기와 분배기에서 출력되는 Q신호를 승산하는 제2 승산기와; 상기 제1 승산기의 승산신호로 크기를 계산하여 이를 I계수조정신호로 출력하는 제1 크기계산부와; 상기 제2 승산기의

1020000081788

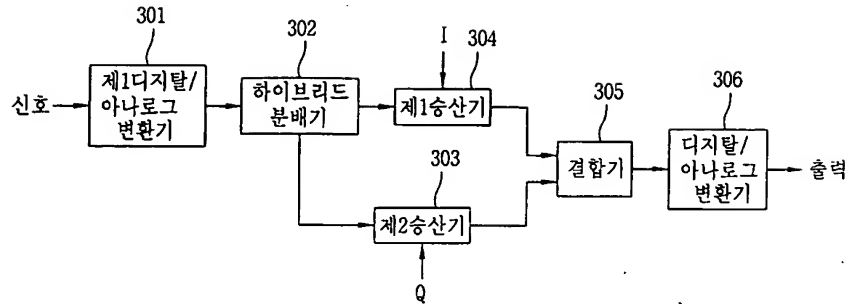
출력 일자: 2001/11/12

승산신호로 크기를 계산하여 이를 Q계수조정신호로 출력하는 제2 크기계산부로
구성한 것을 특징으로 하는 알에프 전력증폭기의 디지털 선형화장치.

【도 2】



【도 3】



【도 4】

